

可変長遺伝子を用いた進化型アナログ回路

Analog Evolvable Hardware using Variable Length Chromosomes

安藤 晋
Shin Ando

東京大学工学系研究科電子情報工学専攻
Information and Communication Eng., School of Eng., the University of Tokyo
ando@miv.t.u-tokyo.ac.jp

石塚 満
Mitsuru Ishzuka

(同上)
ishizuka@miv.t.u-tokyo.ac.jp

伊庭 斉志
Hitoshi Iba

東京大学新領域創生科学研究科基盤情報学専攻
University of Tokyo, Graduate School of Frontier Sciences
iba@miv.t.u-tokyo.ac.jp

Keywords: evolutionary computation, genetic algorithm, messy GA, variable length chromosome, evolvable hardware, analog circuit design, passive filter synthesis

Summary

In this paper, we describe a GA system based on variable length chromosomes. Our goal is to establish “analog evolvable hardware”, i.e., analog EHW.

Analog hardware is vulnerable to the environment, such as temperature, and traditional methods to deal with the environmental disturbance are complicated and ad-hoc so that they are not fit for designing a large-scale circuit. In the EHW approach, noises and errors are fed back from the manufacturing process to the designing process. These processes are repeated until the adapted hardware is acquired. Thus, the EHW is robust to the external disturbance.

This paper introduces a new approach to the analog EHW. We use a component-list representation, which has the advantage of enabling the design flexibility, i.e., the capability of acquiring more various functions. We can also properly size a circuit without designer’s specification. Our system also features the two-stage evolution, i.e., the structural adaptation of the circuit topology and the parameter adaptation by tuning up the elements’ values. This division is aimed at achieving more efficient global search with local modification.

We show experiments which support the superiority of our approach over conventional approaches in terms of robustness and computational cost

1. はじめに

本研究では進化するアナログ回路の実現のため、可変長遺伝子に基づくアナログ回路進化システムを構築し、さらに回路合成シミュレーションによりその有効性の検証を行う。

進化的計算手法を回路設計問題に適用する意義は多数ある。進化アルゴリズムによる新しい回路構造の創造、煩雑な設計手順の自動化、などとともにアナログ回路の設計において重要なのが回路素子のパラメータ調整による適応である。

アナログ機器は自然界とデジタル機器の接点として重要な役割を果たすが、その最大の弱点は精度の問題である。アナログ素子は環境など温度の影響を受けやすく、製造時に多くの誤差を含む。このため精密なアナログ機器の製造では構成要素の値のばらつきから規格を満たすことが困難である。これらのノイズの問題に対する冗長な回路構成や線形適応フィルタなどの対

処法は煩雑な設計手順や熟練者の経験を必要とする。

我々はこのような問題に対し進化型アナログ回路を適用することで設計のプロセスにおいてロバスト性をもたらし、効率化が可能になると考える。これは進化するハードウェア（以下 Evolvable Hardware もしくは EHW）のシステムであり、可変長の染色体の設計により回路の規模調整と多段階進化なども可能にしている。EHW とは可変ハードウェアと遺伝的アルゴリズム（以下 GA）を組み合わせたもので、GA によりハードウェア構造を進化させ、同時にそれを可変ハードウェア上に実装して評価するという、自動化された設計、製造、フィードバックのサイクルを実現するシステムである。

EHW システムにおける回路の進化では回路は誤差を含む素子から構成されるが、回路は応答によって評価され、さらに素子の組合せとパラメータの調整により値のずれが吸収されるため、ばらつきに対するロバスト性を実現できる。

進化的手法をアナログ回路に適用するため、回路構造の染色体表現型がいくつか提案されている。木構造の染色体を用いる遺伝的プログラミング(以下GP)では、J.R.Kozaが種類のアナログ回路に対し回路合成プログラムを生成している[Koza99]。GPの問題点としては、GAと比較しての膨大なメモリ消費、収束時間などがある。一方、北村らは行列型の染色体を用いてGAによりアナログ回路を進化させている[小藪97]。この手法ではあらかじめ回路の最大規模をきめるのではなく、回路に対する知識が前もって必要となる。また、線形の回路合成プログラム型の染色体がLohnにより提案されている[Lohn95]。アナログ EHWの研究では、電総研でIFバンドパスフィルタ用のアナログ EHW チップを作成している[村川 98]。これはパラメータ調整可能な素子を用いてチップを製造し、素子の誤差や温度から生じるずれをGAの適応により微調整して歩留まりを向上させるというものであった。

本研究ではこれら従来の研究に基づき、可変構造を持つ進化的アナログ回路(以下アナログ EHW)の実現を目指す。構造を変化させ得ることで多岐にわたる機能の獲得や、自動的に適当な規模の回路を設計することが可能となる。

このようなGAシステムを構築するため、以下の手法を提案する。

- (1) 素子リスト型の染色体
- (2) 構造とパラメータの進化の分離
- (3) 回路規模の適正化

まず、電気回路をコーディングする方法として回路素子を線形リストの形に並べたものを用いる。加えて、進化を構造の獲得と素子の値の調整に分けることで効率化を図る。さらに構造の獲得に関して、素子の数に応じた淘汰圧を設定し、ハードウェア資源の節約を目指す。これらの3つの手法は統合的に用いられ、全体としてアナログ EHWの効率的実現に寄与する。これにより可変構造を持ち、指定した応答を自動合成するアナログ EHWの実現を目指す。構築したシステムにおいて、

- ノイズの吸収の評価
- 他の染色体表現形式との比較
- 進化の分離手法の評価
- 回路規模適正化手法の評価

をシミュレーションで行い、システムの評価と各手法の有効性を検証する。

2. 提案するアナログ EHW の構成

本研究ではアナログ EHW に可変構造を持たせることで、ロバスト性を強化すると同時に設計・製造を自動化することを試みる。本研究におけるアナログ EHW は図1のような構成とする。素子の組合せや値は遺伝

的操作で修正し、応答が目標に近づくように回路が選択されていく。

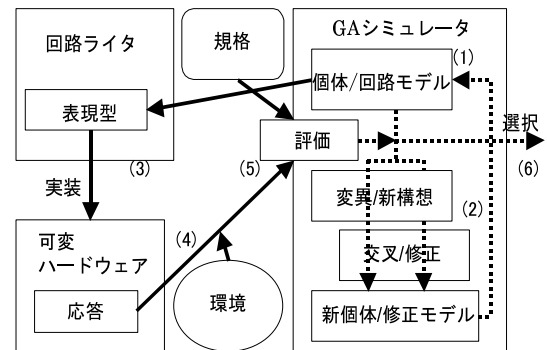


図1 アナログ EHW

可変ハードウェアはアナログ素子の集合で、その値、構造とも可変となっている。本研究ではアナログ素子を抵抗、コンデンサ、コイルなどに限定し、受動アナログ EHWとした。アナログ EHWの回路生成プロセスは次のような流れで行われる。

- (1) 過去に生成した回路に基づいて、あるいはランダムに一定数の回路モデルを生成する。
 - (2) 各個体の評価に基づき、変異、交差など進化的手法により新たな個体(回路モデル)を設計し、個体集団に加える。
 - (3) 可変ハードウェアで各個体の表現型を実装する。
 - (4) 可変ハードウェアは実装された回路の応答をGAシミュレータに返す。
 - (5) GAシミュレータは応答を目標応答(規格)と比較して各個体の評価を行う。
 - (6) 適応度の低い個体を集団から排除する。
 - (7) 仕様を十分満たすものがなければ(2)に戻る。
- ハードウェアに実装された表現型(回路モデル)の応答がGAにフィードバックされ、個体の評価となる。この評価をもとに遺伝操作によって新しい個体が設計される。この自動化されたフィードバックのプロセスが繰り返されることで、環境に適応することが可能となっている。

3. GAシミュレータの実装

本章ではGAシミュレータの実装について説明する。我々が提案する手法は染色体設計、適応度の設定、進化の分離、規模の適正化圧力である。

3.1 回路の染色体表現

我々は回路を表現するために素子のリスト形式の染色体を設計した。この染色体は各遺伝子がひとつの回路素子を表し、さらにその長さが可変となっている。染色体の表現型と遺伝子型は図2のようにになっている。各遺伝

子は素子の位置、種類、値に関する対立遺伝子を持つ。回路中の素子の位置を表記する上で我々は MessyGA の手法を応用した。MessyGA は Goldberg らが GA のだまし問題に対する弱さを克服するために考案した手法であり、染色体の遺伝子座の位置関係が固定されておらず、局所解に陥りにくいという特徴を持つ [Goldberg93]。

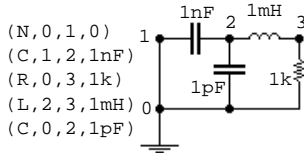


図 2 回路の表現型と遺伝子型

各遺伝子座は素子の種類、値と位置を保持する。回路の各ノードには番号を振り、素子の位置は両端のノードによってあらかず。素子の種類は R、C、L など受動回路素子の種類を表す。他に、ノード間の短絡を表す N と開放を表す O を用意した。また、記述のないノード間については開放とする。交叉は cut&splice を用い、突然変異は染色体内のひとつの遺伝子、すなわちひとつの素子について種類、値を変更する、というものをを用いた。変異した素子の位置に新しい素子で置換することになる。

また、本論文の GA システムは GAlib2.1.1 をもとにしており、選択方式としては進化戦略 (ES) で用いられる $(\mu + \lambda) - ES$ 方式を使用した。これは、合計 $\mu +$ 、次世代の親とする [Bäck93, Michaelwicz92]。5 章では本研究の可変長染色体を他の表現形式 (行列型染色体および GP) と比較して実験し、その有効性を示す。

3.2 適応度の計算

適応度は各周波数での目標応答と獲得応答の差を用い、ずれの大きなものを淘汰していくものとする。適応度の定義は (1) のようになる。

$$eval = \frac{1}{K} \sum_f^K |F_f - R_f|^2 \quad (1)$$

観測周波数での目標応答 F と獲得応答 R の差の二乗を K 個の観測点について総和を求めており、染色体はルーレット戦略によって選択される。また、淘汰においては進化戦略の $(\mu + \lambda) - ES$ を用いた。

3.3 構造進化とパラメータ進化

GA は強力なグローバルサーチを持つ反面、確率的探索法であることから準最適から最適解に向かって探索する状況では効率が悪くなることもある。このような特徴を考慮して、本研究では探索空間を制限し、探索を効率化する方法を提案する。電気回路の設計は回

路の大体のレイアウトを決定する、素子の値を調整する、という 2 つの作業に分けることができる。前者では効率的なトポロジーの探索が要求され、後者では精密なパラメータのチューニングが必要となる。アナログ EHW では回路素子の値と接続構造がともに変更できるが、これらを同時に進化させるのは収束時間や消費資源を考慮すると効率的ではない。進化の初期には素子の値を微調整しても応答への影響は構造の変更と比較して小さい。また、進化がある程度進んでからは、構造を変化させると応答が急激に変化しすぎるため、漸進的な進化ができない。そこで、われわれは進化を 2 段階に分けることとした。3.1 節で示した染色体設計ではパラメータと構造が同時に変化する 1 段階の進化となるが、2 段階の進化は以下ようになる。最初は構造獲得フェーズで素子の値を固定しておき、構造のみを変化させ適応させる。次の段階であるパラメータ調整フェーズでは、獲得した構造を固定し、その素子の値を微調整し、規格に合う応答を獲得する。構造獲得フェーズではグローバルサーチが行われ、パラメータ調整フェーズでは局所的探索が行われる。これらに分けることで効率のよい探索が可能になり、メモリ消費、収束時間を省くことができると考えられる。また、2 種類の進化を行うため初期収束の影響が弱くなり、探索の深化が期待される。

構造獲得フェーズでは 3.1 節で述べたコーディングを用いて進化させるが回路素子の値の遺伝子は変化せず、10 Ω 、1k Ω 、100k Ω のようにいくつかの固定値を用いる。

パラメータ調整フェーズでは素子に対し、(2) 式を用いて調整する。Val が元の値、Adjval が調整後の値である。

$$Adjval = Val \times 10^t \quad (2)$$

ただし t は 1 から -1 までの実数である。この範囲は現在のアナログ EHW の素子への応用を考慮して設定してある。各素子のパラメータ t を一次配列にしたものがパラメータ調整フェーズでの染色体となる。これは一般に回路の素子は種類によって値のオーダーが大きく異なるため、突然変異が起こっても新たな値がその素子に適切な範囲に収まるようにするためである。染色体の長さは一定であり、交叉は一点交叉である。突然変異は各遺伝子の t に対し、範囲内の値をランダムに生成し、置き換えるものとする。

3.4 淘汰圧力による回路規模の適正化

GP や可変長遺伝子を用いた GA の問題のひとつとして、イントロンの発生がある。進化の途中でイントロンの量が膨れ上がり探索の効率が非常に悪くなる [伊庭99]。これらは電気回路においては両端の短絡された素子などとして存在している。イントロンは EHW に

とって影響が大きく無駄なハードウェア資源を消費することにつながる。このようなイントロンはヒューリスティックにより削除することは難しいため、進化的な手法がとられている。デジタル回路の進化においては用いられる多目的進化の手法も、その発展であるといえる [Kalganova98]。我々は染色体が可変長であることを利用して、回路規模の不必要に大きいものが淘汰されるように適応度を調整するという手法を採った。個体の適応度は応答のほかに回路規模によって評価され、同じ応答であれば回路規模の小さいものがより良い評価を得る。その結果、染色体中のイントロンが削られ、冗長部分の少ない回路が生成される。適応度 *fitness* は応答の評価 *E* と *P* から (3) 式のように定める。また、淘汰圧力 *P* は素子の数 *N* と係数 *T* によって (4) 式のように定める。

$$fitness = E + P \quad (3)$$

$$P = N \times T \quad (4)$$

適応度 *fitness* と圧力 *P* をこのように定義したのは以下のような操作を可能にするためである。一般に、イントロンを削除しすぎると交叉による意味破壊が強力になりすぎる、有用なスキーマが進化の初期に削除されてしまうなどの欠点が指摘されている。これを避けるため、係数 *T* を用いて圧力の強さを調整する。*T* を適切に設定することで *P* と *E* のオーダを調整し、許容範囲内の応答が得られた後に規模を調整する。すなわち進化の初期においては、応答が目標から遠いため (3) 式では *E* の項が支配的である。進化が進み、応答による評価値 *E* の値が減少してくると淘汰圧 *P* が影響を持ち始め、規模の大きい回路が淘汰されていく。ただし、*T* が大きくなると淘汰圧力の影響により小さい応答の差は無視されるため獲得する応答の精度は劣化する。このため、必要な精度を考慮して *T* を設定する必要があり、具体的な設定例は7章で示す。この素子数に圧力をかける手法は前述の2段階進化の手法の中で1段階目の構造進化においてのみ適用されるものである。したがって、2つの手法を同時に使用した場合に後のフェーズへの影響が表れることはないと考えられる。

3.5 GA システムの構成

本節以降の実験ではリスト型の染色体に2段階進化を適用したものが基本となり、4章と5章ではこのシステムについて検証している。さらに6章と7章では2段階進化と淘汰圧の各手法について単独で取り出し詳細に検討する。

4. ノイズ吸収の検証

ほとんどの受動フィルタでは設計法がすでに確立さ

れている。しかしながら、多くの機器で使われるアナログフィルタは製造が困難である。これは前述したようにアナログ素子の値に誤差が含まれるためである。図3の実線は人手で図4のように設計したバンド除去フィルタの応答である。しかし、現実に回路を製造し

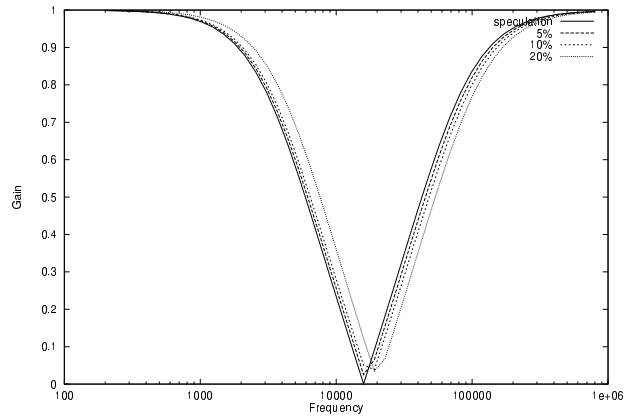


図3 目標応答とノイズによる誤差

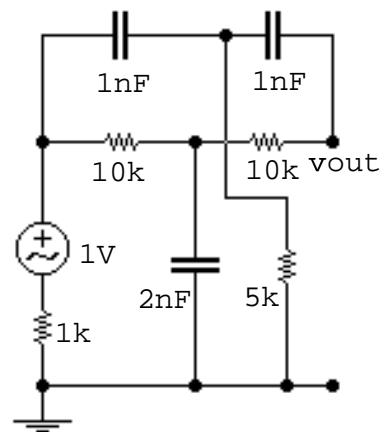


図4 バンドエリミネータの回路図

た場合、回路素子が誤差を含むため、実際の応答はこのとおりにはならない。実際の抵抗やコンデンサなどの素子は規格から20%までの誤差を含む。図3の破線、点線は、回路の素子が10%、5%以内の誤差を含む場合の応答を示している。このような誤差は精密なアナログ機器を製造する上で致命的となりうる。これに対し、進化するハードウェアでは誤差を含んだ素子を用いて性能の良い回路を生成することが可能である。以下の実験では回路素子が規格どおりの値ではないという設定でシミュレーションを行い、進化型アナログ回路がこのようになぜに適應できることを検証する。

4.1 仕様

目標応答は図3の実線のバンドエリミネータフィルタを用いる。遮断域の中心周波数は16kHzである。回路

素子は現実を模して一定の範囲内のノイズを含むものとした。我々はノイズの最大値を5%、10%、20%に設定し、それぞれについて5回の試行を行った。個体数は500、世代数は400に設定した。染色体は3・3節で提案したものを、前半の200世代で構造進化、後半でパラメータ進化を行う。

実験の結果、5回の試行で各世代での適応度の平均は表1のようになった。表1には図4の回路にノイズがのった場合(図3の点線、破線)の適応度も示してある。図6は典型的な試行で最終的に得られた回路の応答である。

表1 ノイズ存在時の適応度

ノイズ	図4	第200世代	第400世代
5%	0.000242971	1.73174e-05	2.53538e-08
10%	0.00121551	1.54782e-05	1.48567e-07
20%	0.00521907	2.17895e-05	1.35741e-07

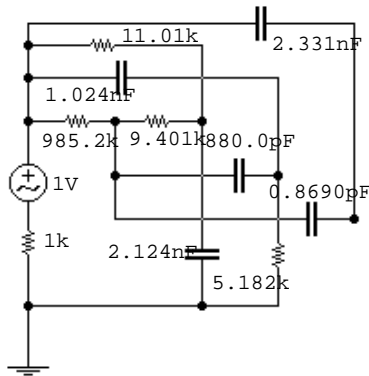


図5 誤差20%以内で獲得した回路

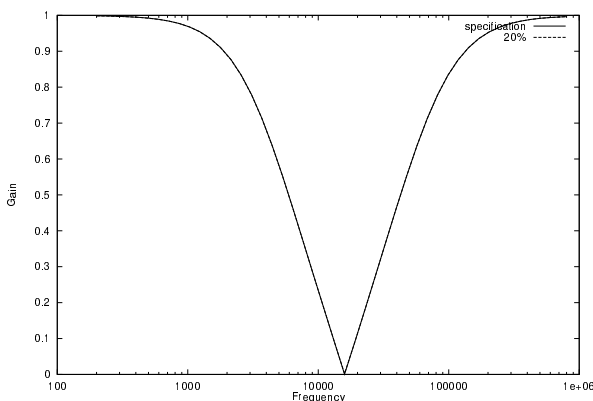


図6 進化後の応答

図3、図6を見ると回路素子の誤差によるずれが、EHWの適応により吸収されることが分かる。

5. 他の染色体形式との比較

可変長染色体を用いたアナログ回路の進化について

他の進化的手法と比較することでその探索・設計能力の評価を試みる。J.R.Kozaは[Koza99]の中でGPを用いた電気回路の合成を行っている、以下ではこれと同様の適応度設定で我々の可変長染色体を使って実験し、結果を比較する。また、北村らは[小藪97]の中で、行列型染色体を用いたGAで数種の受動フィルタの合成を行っている。これについても同条件(適応度、個体数、世代数)での比較実験を行う。

5.1 GPとの比較

以下は文献[Koza99]のChap.31 "Synthesis of an Asymmetric Bandpass Filter"に基づいて実験した。

§1 仕様

この実験での設計目標はモデムアプリケーションのための非対称バンドパスフィルタである。このフィルタは厳密な規格と非対称性から設計が困難であるとされている[Nielson95]。

理想的な特性は、通過帯域は31.2kHzから45.6kHzでその中で利得は0.6dBから-0.6dBである。他の帯域での利得は-120dB以下である。ただし、通過帯域以外では許容可能な範囲が設定されており、

- 69.6 kHz から 84.0kHz では利得は-73dB以下でなければならない。
- 20kHz 以下での利得は-38dB以下
- 20kHz から 31.2kHz と 45.6kHz から 69.9 kHz での利得は0dB以下
- 84kHz 以上での利得は-55dB以下

となっている。理想特性は図7にラベル *ideal* の実線で、許容範囲はラベル *allowable* の破線で示してある。

観測点としては10kHzから200kHzの間で等比的に101個の周波数をとっている。各観測点では応答と目標応答の差から重みを計算し重みWと差dの積を評価とする。適応度Fは各周波数での評価を合計した(5)式を用いる。

$$F = \sum_{i=0}^{100} (W_i(d(f_i)) \times d(f_i)) \quad (5)$$

重み付けは以下のように決定する。通過帯域では

- 利得が0dBであれば差は0とする。
- 利得が0.6~-0.6dBであれば重みW=10とする。
- それ以外の範囲では重みW=100とする。

その他の帯域では

- 利得が-120dB以下ならば差は0とする。
- 利得が許容範囲以下であれば重みW=1とする。
- それ以外の範囲であれば重みW=10とする。

また、染色体は3・3節で述べたものを用いた。GAのパラメータは表2を使った。なお、下には文献[Koza99]の実験で用いられたGPのパラメータを示してある。進化戦略の($\mu + \lambda$) - ESに基づいて選択を行っており、 $\lambda = \mu \times$ 置換率である。

表2 GAのパラメータ

提案手法	個体数	世代数	交叉率	変異率	置換率
GP[Koza99]	640000	200	0.9	0.01	-

§2 結果

獲得した回路応答を図7に示す。縦軸は利得をデシベルで、横軸は周波数をHzで表示している。ラベル *acquired* の破線で表されているのがその手法で第400世代までに獲得した応答である。また、ラベル *GP* の点線が文献[Koza99]で得られた回路の応答である。それぞれの適応度は *acquired* が2037.47、GPが2002.4である。また、ラベル *nielson* の点線で表されているのが Nielsonにより人手で設計された回路の応答である[Nielson95]。

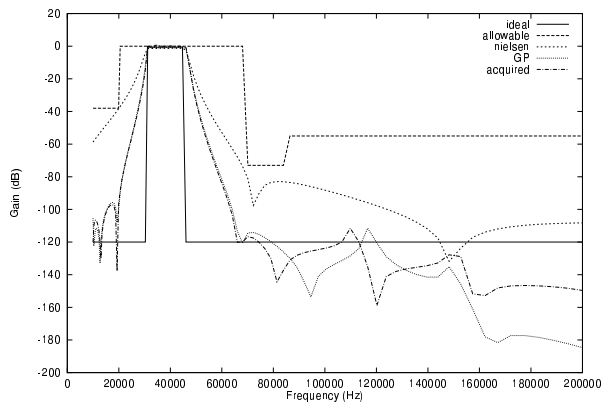


図7 Asymmetric Bandpass Filter 応答

獲得した応答は全帯域で許容条件を満たしており、Nielsenのヒューリスティックな方法と比較して、優秀な応答を得ることができた。GPとの比較では通過帯域については非常に近い応答を得ることができ、遮断域でも理想特性以下の部分は性能とは無関係なので、全体として同程度に優秀な応答を得ることができている。

5.2 行列型染色体との比較

以下は文献[小藪97]の第3章に基づいて実験を行った。

§1 仕様

回路モデルの評価値 Fitness は(7)式で表される $F+1$ 個の入力周波数 $f_i (0 \leq i \leq F)$ に対する目標値 $V_{goal}(f_i)$ と実測値 $V_{out}(f_i)$ の差 $d(f_i)$ を用いて式(6)のように定義する。重み付け関数 W は(8)式で定義する。 $W_\theta = 0.02$ に設定した。

$$Fitness = \sum_{i=0}^F W(d(f_i), f_i) \times d(f_i) \quad (6)$$

$$d(f_i) = |V_{goal}(f_i) - V_{out}(f_i)| \quad (7)$$

$$W(d(f_i), f_i) = \begin{cases} 1 & (d(f_i) \geq W_\theta) \\ 10 & (d(f_i) > W_\theta) \end{cases} \quad (8)$$

目標応答は通過域 1Hz~1300Hz、減衰域 1300Hz~100kHz 遮断周波数が 1300Hz の理想ローパスフィルタである(図8の実線)。通過域における目標出力電圧 $V_{goal}(f_i)$ は 1V、減衰域における目標出力電圧 $V_{goal}(f_i)$ は 0V とする。入力周波数 F は通過域から 50、減衰域から 28 点の計 78 点について計算を行う。また、染色体は 3.3 節で述べたものを用い、GAのパラメータは本稿、文献[小藪97]の手法とも個体数 500、世代数 200 である。交叉率、変異率、置換率については表2と同様である。

§2 結果

最良個体の応答は図8の破線のようにになった。全ての帯域で規格からのずれは $W_\theta (= 0.02V)$ 未満に収まり、その適応度は 1.97615 であった。文献[小藪97]で得られた最良個体の評価値は 2.278 であるので、同等以上の回路が獲得されたといえる。最良個体の表現型を図9に示す。

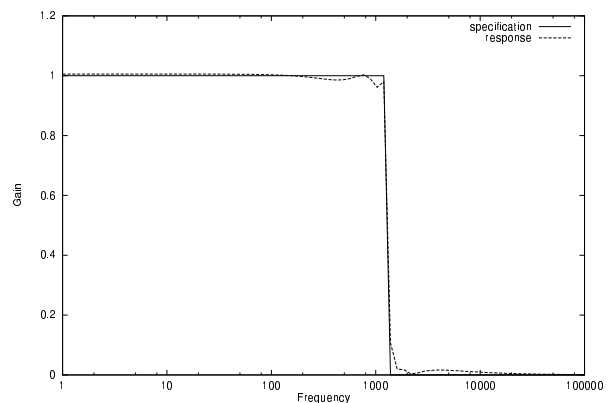


図8 理想ローパスフィルタの応答

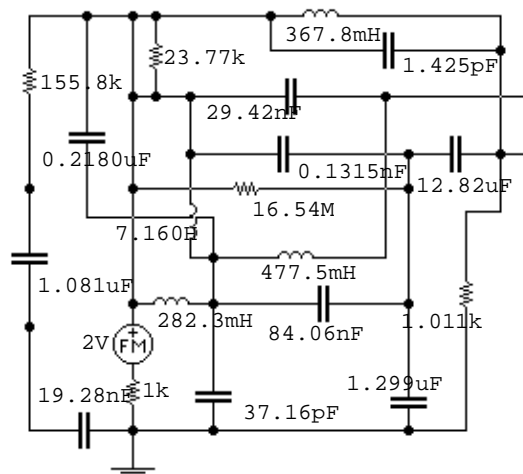


図9 理想ハイパスフィルタの回路図

6. 2段階進化のシミュレーション

3.3節で述べた2段階進化と3.1節の染色体をそのまま用い、構造とパラメータを同時に進化させる1段階の進化と比較する。

6.1 仕様

目標応答として図11の実線のような理想ハイパスフィルタを用いた。遮断周波数が30kHzで、観測点は100kHzから1MHzまで等比間隔で14点とった。染色体はとして、まず3.1節で述べたものを用いて進化を行い、このとき素子の値や構造は進化の間常に変更可能である。さらに、3.3節で述べた進化を行う。このとき構造進化フェーズでは表3のような固定値の素子を用いた。

表3 素子の固定値

素子の種類	抵抗 (R)	コンデンサ (C)	コイル (L)
値	10k Ω、1M Ω	1nF、1pF	100 μ H、10mH

6.2 結果

5回試行を行った結果、最良個体の適応度の平均は図10のように推移した。破線が2段階進化、実線が1段階である。2段階進化では矢印の点からパラメータ進化が始まる。また、ある試行でそれぞれが獲得した応答を図11に示す。1段階がラベル `single evolution` の破線、2段階がラベル `2step evolution` の点線で示してある。適応度はそれぞれ0.00114213、0.00195815となった。

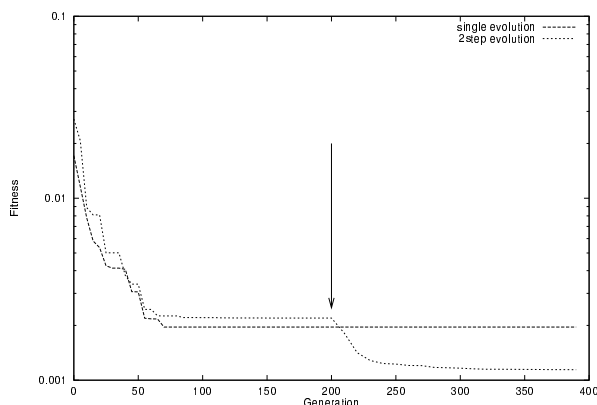


図10 2段階進化の適応度の推移

図10からは第200世代で通常の進化では以降の探索が収束してしまうのに対し、2段階進化ではパラメータ調整に入ることにより再び探索が可能となっていることが分かる。

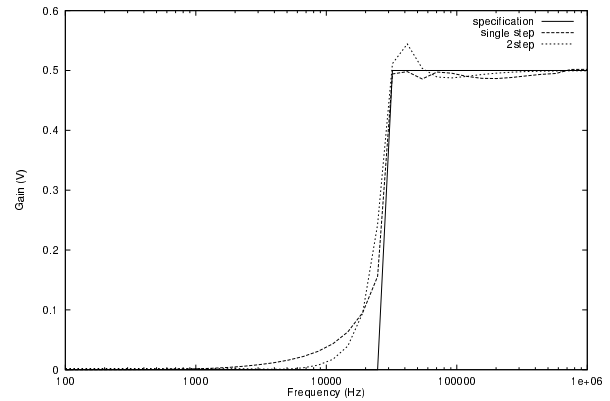


図11 2段階進化により獲得した応答

7. 淘汰圧力による規模適正化

3.4節で述べた淘汰圧による効果を検証する。この手法は2段階進化のうち構造進化に適用されるものである。そのため、本節では、2段階目のパラメータ調整は行っていない。

7.1 仕様

目標応答としては図12の実線のようなマニュアルで設計したバンドパスフィルタを用いる。適応度を(3)式で修正し、 $T = 10^{-5}$ とした。この値は、獲得応答が目標と十分一致するためには応答の誤差が 10^{-5} 程度であることなどを考慮して設定されている。試行は3回行い、適応度および回路規模の大きさを分析した。

7.2 結果

典型的試行例での第40世代と第150世代における最良個体の応答を図12に示す。最終世代での適応度は 6.10766×10^{-11} となった。第40世代で十分規格にあった応答が得られている。全ての試行での適応度と回路規模の推移の平均を図13と図14に示す。典型的例での第40世代と第150世代における最良個体の表現型を図15、図16に示す。

40世代では十分な精度の応答が得られているが、図15と図16を比較すると、図16の回路は素子数に対する強い淘汰圧を受けて生成されているため、回路の素子が少なく、構造も簡潔である。これに対し、図13、図14の40世代付近を見ると分かるように、適応度の中で淘汰圧の影響が応答のずれの影響と比較して小さいため、図15の回路は素子数による淘汰を受けずに生成されている。この結果、node A、B間のコンデンサのように両端が接地されたものや同種の素子の並列、素子両端の短絡など電氣的に無駄な部分が見られる。図13と図14を見ると、70世代ごろまでは最良個体の素子数はあまり変化せず、素子数の多いものも積極的に選択されている。つまり、進化の初期には応答によ

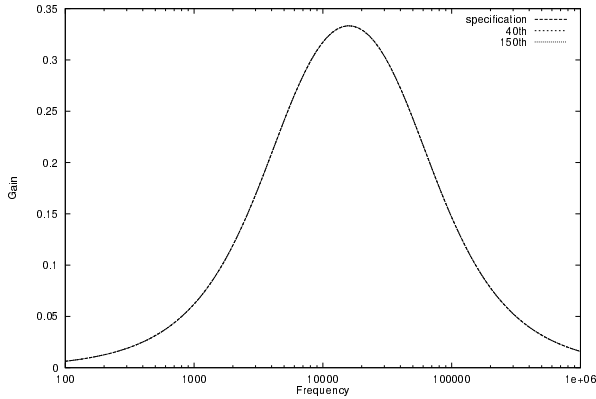


図 12 最良個体の周波数応答

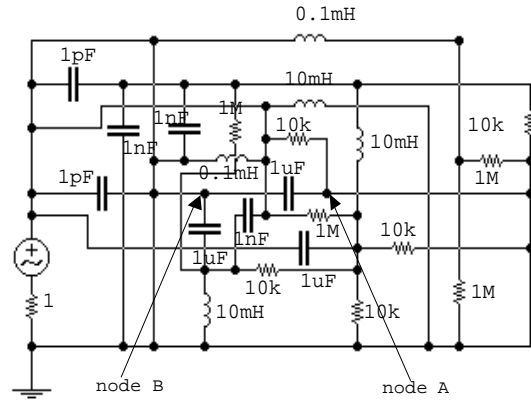


図 15 第 40 世代の最適回路

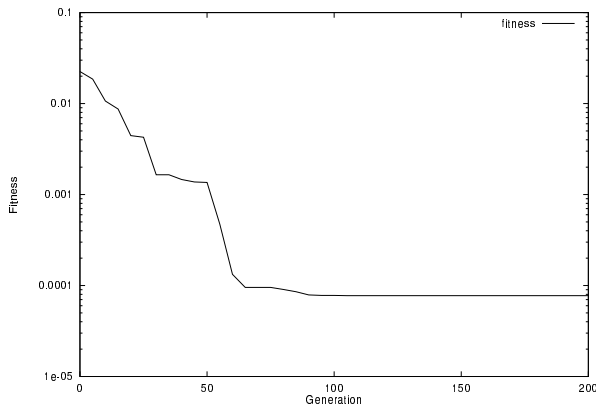


図 13 適応度の推移

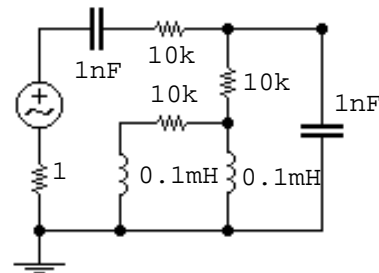


図 16 第 150 世代の最適回路

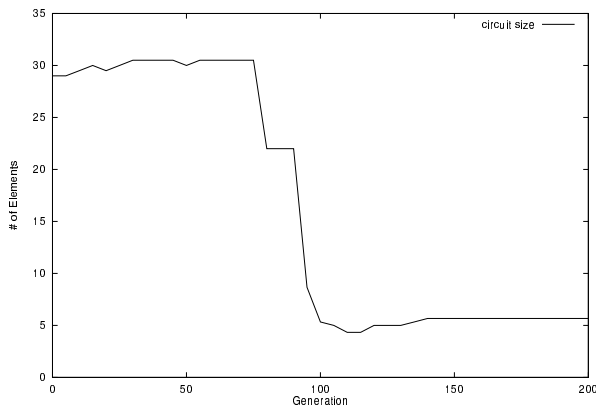


図 14 回路素子数の推移

る適応が主であると考えられる。続いて、80 世代から 100 世代にかけて選択される回路の素子数が急激に減少し、交叉や破壊変異により生成された個体が選択される。すなわち、進化の後期では回路規模により適応していると考えられる。

8. 考察および課題

8-1 行列型染色体、GP との比較

GP との比較では同程度の適応度の回路を獲得することができた。染色体数×世代数の比較では可変長染色体を用いることで省資源化されているといえる。また、一つの個体の使用するメモリ量は GP の方が大きくなる。さらに、行列型染色体との比較でも可変長染色体の方が良い応答を得られている。

以上から、提案した可変長染色体を用いた GA の回路設計能力は従来の進化的設計手法と比較して同程度以上であり、時間、メモリなどの資源の観点から総合的に考えると優れていると結論できる。

参考のため使用したハードウェアに関して記す。Koza らは DEC Alpha533MHz プロセッサと 64MB RAM を持つノードを 7×10 のトロイドメッシュ型に配置した Beowulf 型並列計算機システムを利用している。また、本論文で引用した回路と類似の回路生成実験において 640,000 個体×50~150 世代の進化を 15 時間から 90 時間かけて行っている [Koza99]。一方、われわれは各実験を ultra sparc 搭載の ultra10 (OS は solaris2.6) で行った。コンパイラは g++ の 2.8.1 を使用し、実行時間に関しては 5.1 節の実験では 24~48 時間程度、他の実験では 5 時間以内となった。

8.2 2段階の進化

図10から分かるように通常の進化では収束してしまう場合も2段階進化ではパラメータ進化に入ることによって再び探索が可能となっている。各段階での役割は、構造進化フェーズではダイナミックに応答を変化させ大きな幅で環境に適応するに対し、パラメータ進化フェーズにおいては固定値素子の組換えでは不可能な高い精度の適応を行っている。このように本研究で提案した手法により回路素子の誤差を効率的に吸収することが可能となった。また、2段階の進化では各段階で素子の値や構造などを固定するため、保持する情報が減り、シミュレータで使用するメモリのサイズも軽減できる。構造進化とパラメータ進化の割合について、本実験では便宜上それぞれ同世代数行うものとした。それぞれの進化における遺伝オペレータの効率を適合度ランドスケープなどの手法で検証し、最適な組合せを求めていくことが今後必要である。

8.3 規模の適正化

7章の実験で用いた係数 T は、試行錯誤的に見積もられたものである。式(3)における N が整数であり、獲得応答が目標と十分一致するためには誤差が 10^{-5} 程度であることなどを考慮して設定した。図13、図14を見ると進化の初期には応答による適応が主であり、後期では回路規模により適応していることが分かる。図15と図16の比較で回路から無駄な素子が削除されていることが分かる。従って、採用した手法によりGAの探索を妨げることなく、適正な規模の回路を製造することが検証できた。しかしながら、一般的な T の計算方法は今後の課題として残っており、素子数の最大値や適応度向上率を用いて淘汰圧の大きさを自動調整する手法を検討している。さらに、この淘汰圧の手法は進化の高速化と最良個体の適応度の向上に貢献していると考えられ、この点についても今後検証する予定である。

8.4 応答の再調整

理想ハイパスフィルタの生成ではリップルが生じるなどの現象がみられた。実際の回路設計でも遮断率とリップルを調整する操作があるが、本システムでも同様の操作が必要になるとと思われる。具体的には再進化の設定、(1)式の重み付けを変更する、観測点の密度を変更するなどの方法が考えられる。

8.5 受動フィルタの限界

受動フィルタの限界から、極端に急峻な遮断率を設定した場合、回路合成が困難になることもあった。このため、システムの汎用性を考慮すると、演算増幅器を回路素子に含めた能動回路EHWの研究が必要であ

ると思われる。

9. おわりに

本研究では進化するアナログ回路の実現のために以下の手法を用いてGAシステムを実装し、シミュレーションによる実験で有効性を検証した。

- 素子リスト型の染色体表現
- 進化の段階化
- 回路規模に対する淘汰圧力の導入

これにより進化するアナログ回路の有用性と実現性が確認された。今後は可変素子や可変構造に適した仕様のGAシステムの構築、そしてEHWの実装を行っていく予定である。

謝 辞

末筆ながら、貴重な研究資料を提供してくださった北村新三先生に感謝します。また、日頃助言をいただく樋口哲也氏と電総研EHW研究グループの方々に感謝いたします。また、本論文の問題点をご指摘いただき、質を高める上で貴重な意見を賜りました査読者の方々にも、心から感謝申し上げます。

◇ 参 考 文 献 ◇

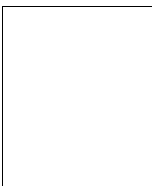
- [Bäck93] Back, T., An Overview of Evolutionary Algorithms for Parameter Optimization, *Evolutionary Computation*, vol.1, no. 1, 1993
- [Goldberg93] Goldberg, D.E. and Deb, K. and Karpupta, H. and Harik, G. "Rapid, Accurate Optimization of Difficult Problems using Fast Messy Genetic Algorithms", *Proc. 5th Int. Joint Conf. On Genetic Algorithms(ICGA93)*, 1993
- [Kalganova98] Tatiana Kalganova, Julian F. Miller and Terence C. Fogarty, "Some Aspects of an Evolvable Hardware Approach for Multiple-Valued Combinational Circuit Design", *Proc. of the Second Int'l Conf. on Evolvable Systems: From Biology to Hardware*, Springer-Verlag, Berlin, 1998
- [Keymeulen99] D. Keymeulen, H.Sakanashi, M.Murakawa, I. Kajitani, E.Takahashi, K.Toda, M. Salami, N.Kajihara, and N. Otsu, "Real-World Applications of Analog and Digital Evolvable Hardware", *IEEE Transactions on Evolutionary Computation*, Vol.3, No.3, 1999
- [Koza97] J.R.Koza and F.H.Bennett III and D. Andre and M.A. Keane and F.Dunlap, "Automated Synthesis of Analog Electrical Circuit by Means of Genetic Programming", *IEEE Transactions on Evolutionary Computation*, Vol.1 No.2, 1997
- [Koza99] John R. Koza and Forrest H. Bennett III and David Andre and Martin A. Keane, "Genetic Programming III", Morgan Kaufmann Publishers Inc., 1999
- [Lohn95] J.D.Lohn, S.P.Colombano, "A Circuit Representation Technique for Automated Circuit Design", *IEEE Trans. on Evolutionary Computation*, Sept. 1999, Vol.3 Num.3 p.205
- [Michaelwicz92] Michaelwicz, Z., *Genetic Algorithms + DATA Structures = Evolution Programs*, Springer-Verlag, 1992
- [Murakawa98] Murakawa, Masahiro and Yoshizawa, Shuji and Adachi, Toshio and Suzuki, Shiro and Takasuka, Kaoru and Higuchi, Tetsuya, "Analogue EHW Chip for Interme-

- diate Frequency Filter", Proceedings of the Second International Conference on Evolvable Systems, 1998
- [Nielson95] Ival Nielson, "A C-T filter compiler-From specification to layout," Analog Integrated Circuits and Signal Processing, 7(1):21-33, 1995
- [伊庭 94] 伊庭斉志, 遺伝的アルゴリズムの基礎, オーム社, 1994
- [伊庭 99] 伊庭斉志, "進化論的計算の方法", 東京大学出版会, 1999
- [岩上 97] 岩上将也, "進化的手法を用いた非線形回路の自動設計", 神戸大学大学院自然科学研究科情報知能工学専攻修士論文, 1997
- [岩田 98] 岩田昌也, 梶谷勇, 村川正弘, 平尾友二, 伊庭斉志, 樋口哲也, "進化するハードウェアを用いたパターン認識システム", 電子情報通信学会論文誌 Vol.J81-D-II No.10, 1998
- [北野 93] 北野弘明, "遺伝的アルゴリズム", 産業図書, 1993
- [曾根 95] 曾根悟, 壇良, "電気回路の基礎", 昭晃堂, 1995
- [小藪 97] 小藪, 村尾, 北村, "遺伝的アルゴリズムを用いた電気回路の自動設計", 計測自動制御学会第24回知能システムシンポジウム, Mar. 1997
- [村川 98] 村川正弘, "進化型ハードウェアに関する研究", 東京大学工学系研究科機械情報工学専攻博士論文, 1998

[担当委員: ××○○]

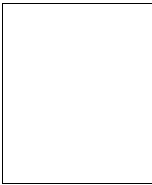
19YY年MM月DD日 受理

著者紹介



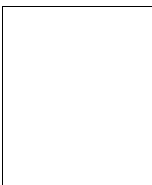
安藤 晋

略歴



石塚 満(正会員)

1971年東京大学工学部電子卒業。1976年同大学院博士課程修了。工学博士。同年NTT入社、横須賀研究所。1978年東京大学生産技術研究所助教授、同教授を経て、1992年より工学部電子情報工学部教授。研究分野は人工知能、仮説推論メカニズム、マルチモーダル擬人化エージェント、知能的ネットワーク化情報環境。IEEE、AAAI、情報処理学会、電子情報通信学会、映像情報メディア学会、画像電子学会等の会員。



伊庭 斉志(正会員)

1990年東京大学大学院工学系研究科情報工学専攻博士課程修了。工学博士。同年電子技術総合研究所入所。1998年から東京大学大学院工学系研究科電子情報工学専攻助教授。1999年から東京大学大学院新領域創成科学研究科基盤情報学専攻助教授。進化システム及び人工知能基礎の研究に従事。IEEE、情報処理学会各会員。